

## Prova d'esame di Reti Logiche T – 01 Luglio 2014

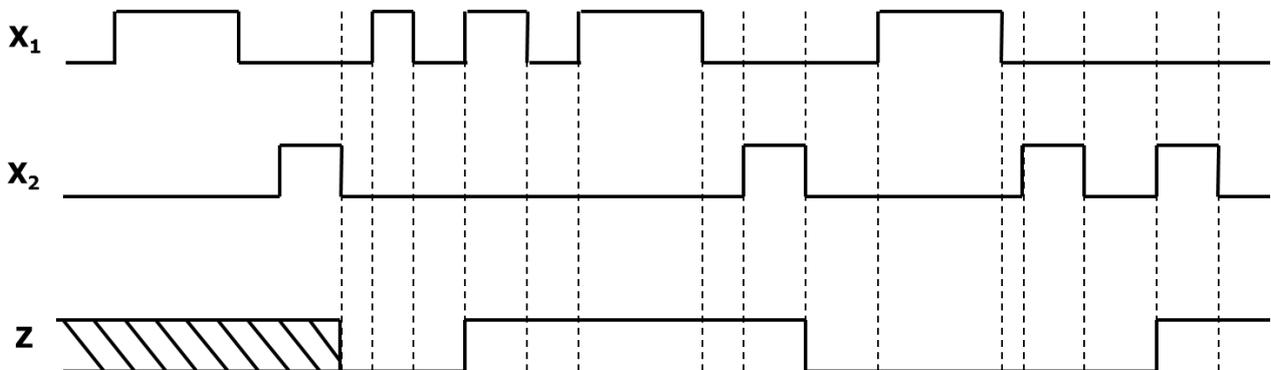
COGNOME:..... NOME: ..... MATRICOLA: .....

Si ricorda il divieto di utilizzare qualsiasi dispositivo elettronico (computer, tablet, smartphone, ..) eccetto la calcolatrice, e che il compito verrà considerato nullo in assenza di regolare iscrizione su Almaesami. Non è possibile uscire e rientrare in aula dopo le prime due ore d'esame.

### Esercizio 1 (14 punti)

Una rete sequenziale asincrona ha due ingressi  $X_1$   $X_2$  ed una uscita  $Z$ . I segnali di ingresso non cambiano mai di valore contemporaneamente, e non presentano mai contemporaneamente il valore 1.

Finchè gli ingressi  $X_1$   $X_2$  assumono valore 1 in modo alternato, l'uscita  $Z$  deve mantenere il valore 0.  $Z$  deve assumere valore 1 non appena viene violata tale alternanza. L'uscita  $Z$  deve in questo caso tornare ad assumere il valore 0 quando è terminato il valore 1 del segnale che ripristina l'alternanza tra i due segnali d'ingresso (v. forme d'onda seguenti).



1.1 Individuare il grafo degli stati **primitivo** tramite modello di Moore (punti 4)

**Prova d'esame di Reti Logiche T – 01 Luglio 2014**

**COGNOME:**..... **NOME:** ..... **MATRICOLA:** .....

1.2 Individuare la tabella di flusso relativa all'automa minimo (mediante modello di Mealy), evidenziando le condizioni di stabilità e indicando le classi di compatibilità tra gli stati del grafo primitivo (*punti 4*)

1.3 Individuare una codifica binaria degli stati e la tabella delle transizioni, evidenziando le celle della tabella delle transizioni modificate rispetto alla tabella di flusso al fine di evitare eventuali corse critiche (*punti 3*)

## Prova d'esame di Reti Logiche T – 01 Luglio 2014

COGNOME:..... NOME: ..... MATRICOLA: .....

1.4 Individuare l'espressione SP e l'espressione a NAND della variabile di stato di peso maggiore, riportando la mappa di Karnaugh e i raggruppamenti rettangolari individuati (*punti 3*)

### Esercizio 2 (12 punti)

Una rete sequenziale sincrona ha 2 ingressi  $X_1$ ,  $X_0$  e una uscita  $Z$ . Interpretando i 2 segnali di ingresso come un numero binario a 2 bit senza segno (con  $X_1$  bit di peso maggiore), la rete deve far assumere al segnale d'uscita  $Z$  il valore 1 solo quando la sequenza formata dagli ultimi 3 numeri ricevuti è composta da tutti numeri pari ed ha come ultimo numero lo zero (altrimenti  $Z=0$ ).

2.1 Individuare il grafo degli stati dell'automa minimo secondo il modello di Mealy (*punti 3*)

2.2 Individuare la tabella di flusso e la tabella delle transizioni (*punti 2*)

**Prova d'esame di Reti Logiche T – 01 Luglio 2014**

**COGNOME:**..... **NOME:** ..... **MATRICOLA:** .....

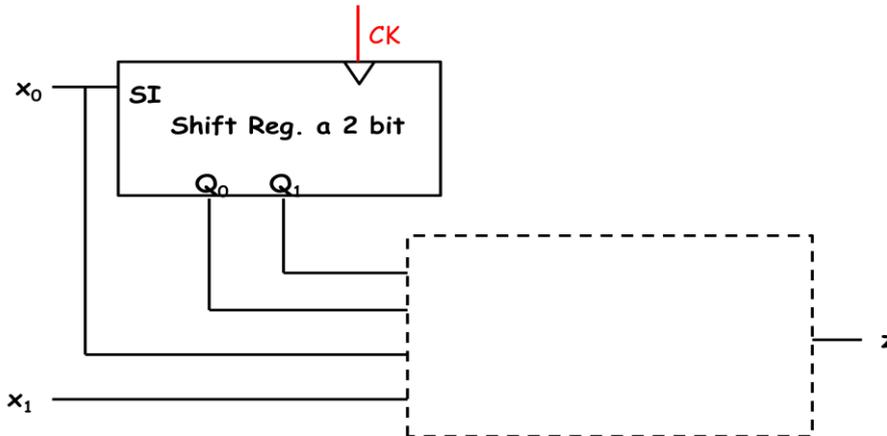
2.3 Individuare l'espressione PS e SP dell'uscita Z, mostrando la mappa di Karnaugh e i raggruppamenti rettangolari individuati (*punti 2*)

2.4 Ipotizzando di utilizzare dei flip-flop JK, individuare le espressioni PS delle funzioni J e K di ciascun flip-flop, includendo per ciascuna funzione la mappa di Karnaugh e i raggruppamenti rettangolari individuati (*punti 3*)

## Prova d'esame di Reti Logiche T – 01 Luglio 2014

COGNOME:..... NOME: ..... MATRICOLA: .....

2.5 Disegnare nello schema sottostante la rete combinatoria formata dal minor numero possibile di gate che realizza il comportamento richiesto (*punti 2*)



### Esercizio 3 (6 punti)

Siano dati due numeri binari  $A=11010$  e  $B=01011$ .

3.1 Si individui la somma  $A+B$  e la sottrazione  $A-B$  in base 2 interpretando  $A$ ,  $B$  e il risultato come interi senza segno, evidenziando eventuali situazioni di non rappresentabilità del risultato tramite 5 bit (*punti 2*)

3.2 Si individui la somma  $A+B$  e la sottrazione  $A-B$  in base 2 interpretando  $A, B$  e il risultato come interi con segno rappresentati in complemento a 2, evidenziando eventuali situazioni di non rappresentabilità del risultato tramite 5 bit (*punti 2*)

3.3 Ipotizzando di utilizzare dei full-adder (a 1 bit) per realizzare tali operazioni, determinare il ritardo di caso peggiore della rete nell'ipotesi che il tempo di propagazione associato al singolo gate elementare sia di 5 ns. (*punti 2*)