

Prova d'esame di Reti Logiche T – 15 Luglio 2014

COGNOME:..... NOME: MATRICOLA:.....

Si ricorda il divieto di utilizzare qualsiasi dispositivo elettronico (computer, tablet, smartphone,..) eccetto la calcolatrice, e che il compito verrà considerato nullo in assenza di regolare iscrizione su Almaesami. Non è possibile uscire e rientrare in aula dopo le prime due ore.

Esercizio 1 (13 punti)

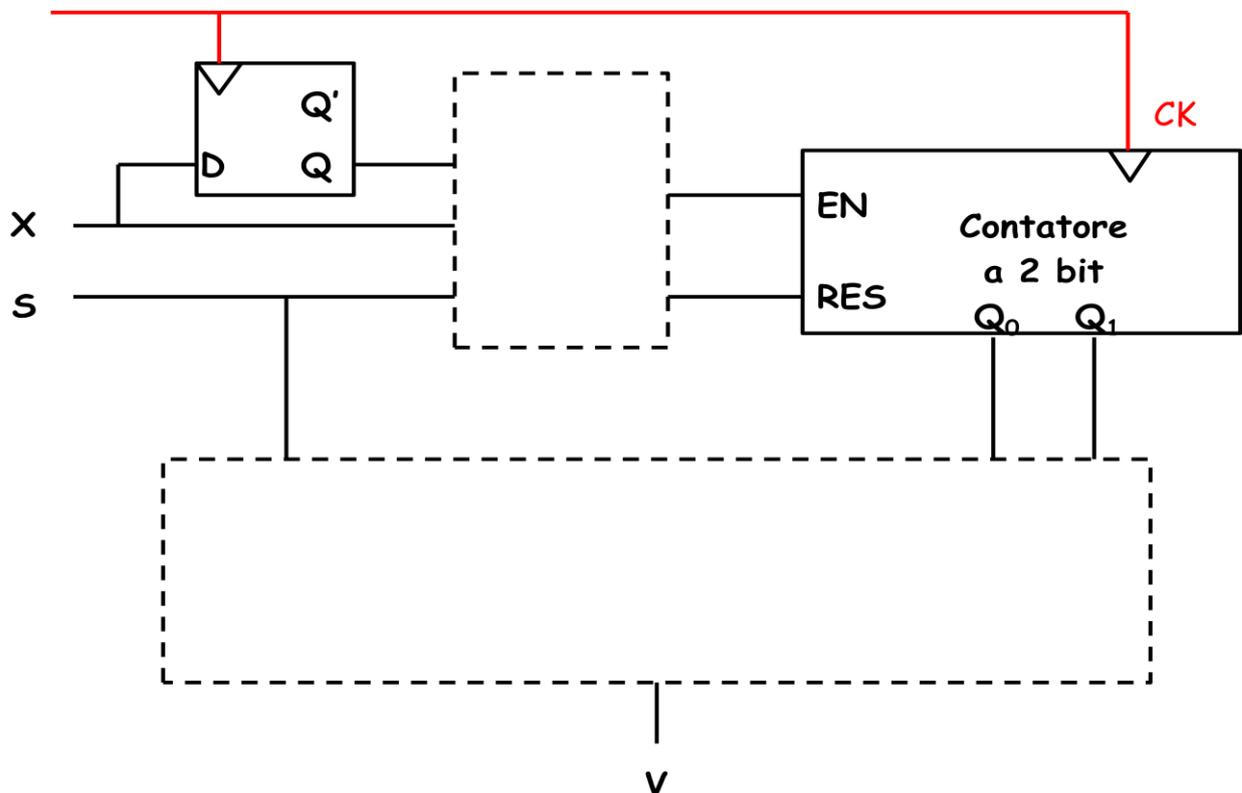
Un dispositivo riceve in modo seriale, tramite un ingresso X, stringhe formate da 7 bit. Al suo interno, una rete sequenziale sincrona ha il compito di verificare che le stringhe rispettino due caratteristiche: avere il primo bit a 0; presentare 3 variazioni di valore. Esempi di stringhe valide sono: 0110111, 0001011, 0110001. In aggiunta a X, la rete ha un ulteriore segnale di ingresso S, che assume valore 1 solo in presenza del primo bit di ciascuna stringa. Il segnale di uscita Z della rete deve assumere sempre valore 0, eccetto che in presenza del primo bit di ciascuna stringa: in tale intervallo, Z assume valore 1 se la precedente stringa era valida, 0 altrimenti.

1.1 Individuare il grafo degli stati (modello di Mealy) dell'automa **minimo** della rete. (punti 4)

1.2. Definire la tabella di flusso e la tabella delle transizioni. (punti 3)

1.3 Eseguire la sintesi combinatoria PS dell'uscita e della variabile di stato di peso minore, nell'ipotesi di usare flip-flop T. (punti 3)

1.4 La figura sottostante mostra una possibile realizzazione della sottorete che realizza il controllo sul numero di variazioni pari a 3, attivando l'uscita V. Indicare la realizzazione dei due blocchi combinatori (punti 3)



Prova d'esame di Reti Logiche T – 15 Luglio 2014

COGNOME:..... NOME: MATRICOLA:.....

Esercizio 2 (14 punti)

Una rete sequenziale asincrona è caratterizzata da due segnali in ingresso X_1 e X_2 , i quali non cambiano mai valore contemporaneamente, e da un segnale di uscita Z . Quando $X_1=0$, Z deve assumere il valore 0. Invece, quando $X_1 = 1$, Z deve assumere valore 1 se e solo se X_2 ha presentato un numero pari di variazioni nel precedente periodo in cui $X_1=0$.

2.1 Individuare il grafo degli stati **primitivo** tramite modello di Moore (*punti 4*)

2.2 Individuare la tabella di flusso relativa all'automa **minimo** (modello di Mealy), evidenziando le condizioni di stabilità e riportando tabella triangolare e classi massime di compatibilità (*punti 4*)

2.3 Individuare una codifica degli stati indicando il grafo delle adiacenze e la tabella delle transizioni, evidenziando eventuali modifiche da apportare al fine di evitare corse critiche (*punti 2*)

2.4 Individuare l'espressione SP delle variabili di stato, riportando le mappe di Karnaugh e i raggruppamenti rettangolari individuati (*punti 2*)

Prova d'esame di Reti Logiche T – 15 Luglio 2014

COGNOME:..... **NOME:** **MATRICOLA:**.....

2.5 Riportare la sintesi a MUX dell'uscita Z disegnandone lo schema logico (*punti 2*)

Esercizio 3 (5 punti)

Siano date 8 ROM (ROM #0, .., ROM #7) da 8 Kbyte ciascuna da indirizzare tramite 16 segnali di indirizzo $A_0..A_{15}$. Ciascuna ROM #i (i:0,.., 7) è dotata di segnale di Chip Enable (CE_i) e Output Enable (OE_i).

3.1 Si indichi il numero di segnali di ingresso (esclusi CE e OE) di ciascuna ROM e quali segnali di indirizzo collegarvi (*punti 2*)

3.2 Ipotizzando di utilizzare un Decoder per realizzare i segnali di Chip Enable, completare la figura del Decoder riportata sotto indicando il tipo di Decoder da utilizzare (numero di ingressi e numero di uscite). Sempre mediante lo schema sottostante, si indichino poi i segnali di indirizzo e quelli delle ROM da connettere su ciascun pin di ingresso e di uscita del Decoder (*punti 3*)

