

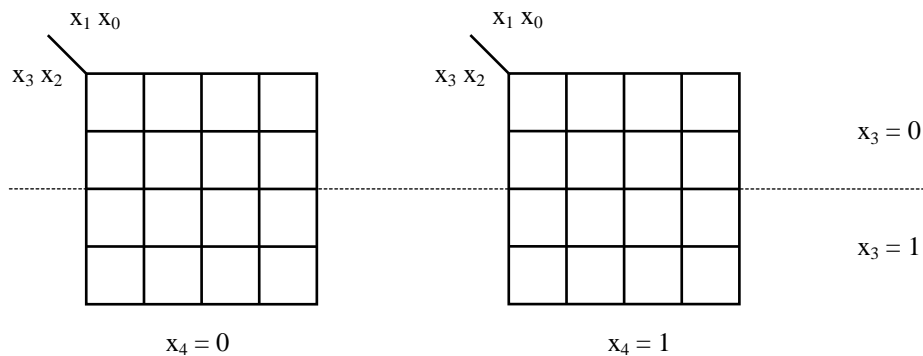
# Reti Logiche T

## Esercizi codifica binaria e reti combinatorie

- 1) La tabella della verità della seguente funzione di 5 ingressi non è riportata integralmente, ma è riportato il valore dell'uscita come funzione di  $x_0$ ,  $x_1$ , e  $x_2$  quando le altre variabili di ingresso sono fissate ad una delle loro 4 possibili configurazioni. Prima di procedere alla sintesi sarà quindi necessario riempire le mappe di Karnaugh effettuando l'analisi delle funzioni.

$x_4$	$x_3$	$x_2$	$x_1$	$x_0$	U
0	0				$x_0 \cdot x_1 \cdot x_2 + \bar{x}_0 \cdot \bar{x}_1 \cdot x_2$
0	1				$x_0 + x_1 + x_2$
1	0				$x_0 \oplus x_1 \oplus x_2 + \bar{x}_2$
1	1				$\bar{x}_0 \cdot \bar{x}_1 \cdot \bar{x}_2$

Si suggerisce di impostare le mappe (per l'analisi) come se fossero 4 mappe di 3 variabili:



- Si esegua la sintesi minima SP e PS col metodo della copertura
  - Si disegni lo schema a NAND (assumendo di avere a disposizione segnali in forma vera e negata).
  - Si disegni lo schema con multiplexer a 4 vie ai cui bit di indirizzo siano collegati (dal meno al più significativo) gli ingressi  $x_0$ ,  $x_1$ ,  $x_2$  e  $x_3$ .
  - Si disegni lo schema con multiplexer a 2 vie a cui siano collegati  $x_3$  e  $x_4$ .
- 2) Scrivere l'espressione generale SP di  $n$  variabili. Quale è il numero di interconnessioni di una rete che realizza l'espressione generale SP di  $n$  variabili ?  
Disegnare una rete che realizza l'espressione generale SP di 3 variabili.

- 3) Data l'espressione dell'algebra di commutazione

$$Z = ((a + b) \cdot (c + d) + a \cdot (b + c')) \cdot (a + d')$$

Se ne disegni lo schema circuitale a NOR.

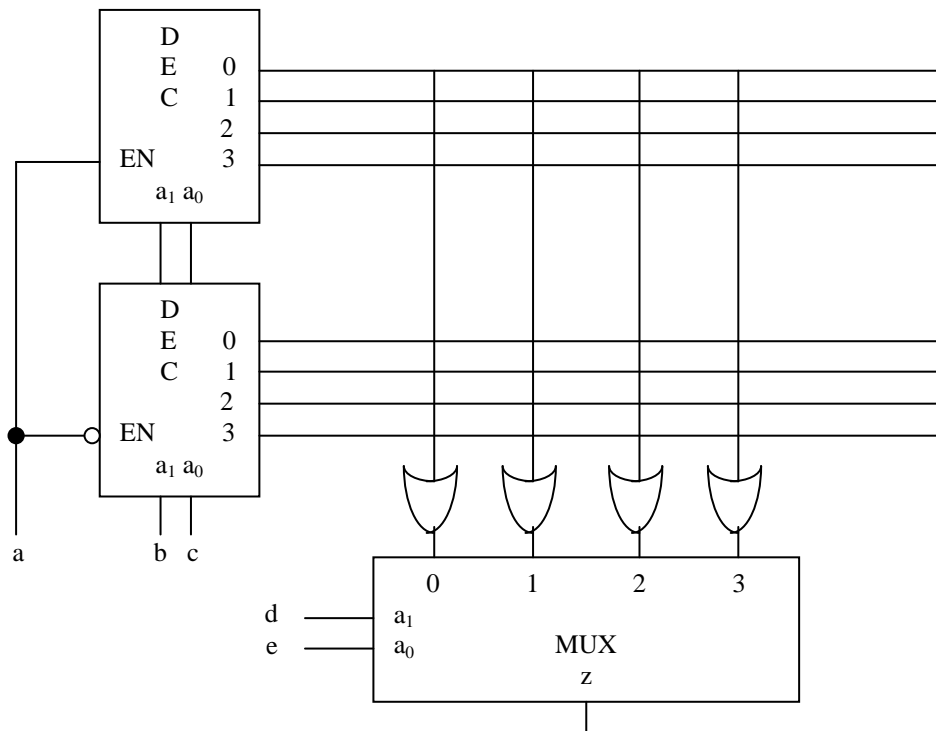
Se ne faccia l'analisi applicando almeno una volta il teorema di espansione alla variabile a e svolgendo le opportune semplificazioni per giungere ad una forma che consenta l'analisi tramite mappe di Karnaugh. Quella ottenuta è la forma che consente la sintesi di costo minimo SP? Se no, come andrebbe modificata?

- 4) Si vuole trasmettere un numero codificato in BCD su un canale con probabilità di flip di un bit  $p=0.1\%$ . Qual è la probabilità di osservare 2 errori? Si scriva la stringa da trasmettere per il numero "6" nel caso di uso del bit di parità e nel caso di uso del codice di Hamming, indicando le funzioni per il calcolo dei bit aggiuntivi e per il calcolo della sindrome di errore. Si calcolino le funzioni di sindrome di errore per entrambi i casi supponendo che durante la trasmissione si sia modificato il bit più significativo della stringa inviata.
- 5) Siano 11010 e 00100 due numeri binari relativi rappresentati in complemento a 2. Se ne esegua la somma e la si verifichi in base 10. Si disegni lo schema del circuito necessario ad eseguirla basato su full-adder, e si valuti il ritardo di caso peggiore della rete nell'ipotesi che il ritardo del singolo full-adder sia di 10 ns.
- 6) Sia data la funzione rappresentata dalla tabella della verità riportata.
- eseguire la sintesi di costo minimo SP
  - eseguire la sintesi di costo minimo PS
  - eseguire la sintesi di costo minimo con sole porte NAND
  - eseguire la sintesi di costo minimo con sole porte NOR

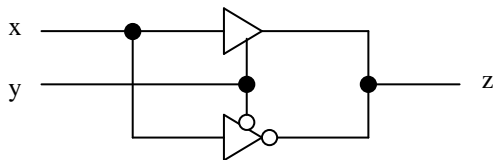
a	b	c	d	e	z
0	0	0	0	0	-
0	0	0	0	1	1
0	0	0	1	0	1
0	0	0	1	1	0
0	0	1	0	0	-
0	0	1	0	1	1
0	0	1	1	0	0
0	0	1	1	1	-
0	1	0	0	0	-
0	1	0	0	1	0
0	1	0	1	0	1
0	1	0	1	1	-
0	1	1	0	0	0
0	1	1	0	1	0
0	1	1	1	0	0
0	1	1	1	1	0

a	b	c	d	e	z
1	0	0	0	0	1
1	0	0	0	1	-
1	0	0	1	0	1
1	0	0	1	1	0
1	0	1	0	0	1
1	0	1	0	1	-
1	0	1	1	0	0
1	0	1	1	1	0
1	1	0	0	0	-
1	1	0	0	1	0
1	1	0	1	0	-
1	1	0	1	1	0
1	1	1	0	0	1
1	1	1	0	1	1
1	1	1	1	0	-
1	1	1	1	1	1

7) Realizzare la funzione specificata all'esercizio precedente, riportando i collegamenti necessari tra righe e colonne nello schema sottostante:



8) Qual è la funzione realizzata dal circuito con gate 3-state riportato nello schema sottostante, supponendo ritardi nulli? Come deve essere modificata per evitare malfunzionamenti nel caso in cui vi sia un ritardo non trascurabile nel passaggio dal 3° stato al comando del segnale z? Disegnare la rete modificata e le forme d'onda dei segnali che garantiscono un corretto funzionamento con gate reali.



9) Si effettuino tre sintesi della seguente mappa per ottenere:

- l'espressione di costo minimo priva di alee di 0
- l'espressione di costo minimo priva di alee di 1
- l'espressione di costo minimo priva di alee

$x_1 x_0$	00	01	11	10
$x_3 x_2$	0	0	0	1
0	0	0	0	1
1	0	1	1	1
1	0	1	1	1

$$x_4 = 0$$

$x_1 x_0$	00	01	11	10
$x_3 x_2$	1	1	1	1
0	1	1	1	1
0	0	1	1	0
1	0	1	1	0
1	0	0	0	0

$$x_4 = 1$$

- 10) Si esegua la sintesi di costo minimo SP di un encoder “1 su 3”, e si consideri il comportamento in presenza di configurazioni di ingresso proibite. Si modifichi la sintesi per ottenere un encoder *a priorità*, ovvero un encoder che in presenza di configurazioni proibite riporta in uscita il numero binario più grande tra i possibili ingressi a 1. Ad esempio, un encoder con priorità risponde alla configurazione  $X1 = 1, X2 = 0, X3 = 1$  con il numero 3, mentre risponde a  $X1 = 1, X2 = 1, X3 = 0$  con il numero 2.
- 11) Si esegua la sintesi ottima PS e SP di una rete combinatoria con 5 segnali di ingresso (a, b, c, d, e) e un 1 segnale di uscita (z) definita dalla seguente tabella della verità.

a	b	c	d	e	z	a	b	c	d	e	z
0	0	0	0	0	-	1	0	0	0	0	1
0	0	0	0	1	0	1	0	0	0	1	1
0	0	0	1	0	1	1	0	0	1	0	-
0	0	0	1	1	-	1	0	0	1	1	1
0	0	1	0	0	0	1	0	1	0	0	-
0	0	1	0	1	0	1	0	1	0	1	-
0	0	1	1	0	0	1	0	1	1	0	-
0	0	1	1	1	1	1	0	1	1	1	0
0	1	0	0	0	-	1	1	0	0	0	-
0	1	0	0	1	0	1	1	0	0	1	0
0	1	0	1	0	-	1	1	0	1	0	1
0	1	0	1	1	0	1	1	0	1	1	0
0	1	1	0	0	1	1	1	1	0	0	1
0	1	1	0	1	1	1	1	1	0	1	0
0	1	1	1	0	0	1	1	1	1	0	-
0	1	1	1	1	0	1	1	1	1	1	0

- 12) Una rete combinatoria a 4 ingressi (a, b, ci, O) e 2 uscite (sd, co) deve poter funzionare come full adder o full subtracter, con a, e b operandi, ci il carry in, co il carry out e sd il bit di somma/differenza, se l'ingresso di controllo O vale rispettivamente 1 o 0. Eseguire la sintesi di costo minimo SP e PS.